
Documentation Technique NanoReseau

Document number: NR/JB/001
Document issue: 01.01 / Fr
Document status: Standard
Date: 20 Avril 2010

.

PUBLICATION HISTORY

20/April/2010

Creation, Issue 01.01 / EN, Draft

BRIGAUD Jacques

CONTENTS

1.	INTRODUCTION.....	4
1.1.	OBJECT.....	4
1.2.	SCOPE OF THIS DOCUMENT	4
1.3.	AUDIENCE FOR THIS DOCUMENT	4
2.	DOCUMENTS RELATIFS	5
3.	PRESENTATION GÉNÉRAL	5
4.	EXPLICATION DE L'ELECTRONIQUE	6
4.1.	SYNOPTIQUE DE LA PARTIE NANORESEAU.....	6
4.2.	EXPLICATION DE L'ELECTRONIQUE SELON COFADEL.....	8
4.3.	EXPLICATION DE CERTAINS POINTS DE L'ELECTRONIQUE	10
4.3.1	Detection de l'horloge	10
4.3.2	Génération de l'interruption	13
5.	EXPLICATION DU CONTROLEUR HDLC	16
6.	CONNECTIQUE.....	19
7.	ABBREVIATIONS AND DEFINITIONS.....	21
7.1.	ABBREVIATIONS.....	21
7.2.	DEFINITIONS	21

1. INTRODUCTION

1.1. OBJECT

Le but de ce document est de compléter les documents existant et d'expliquer certains aspect du NanoReseau qui ne sont pas clairement décrit dans les documents de référence

1.2. SCOPE OF THIS DOCUMENT

Les personnes susceptibles de travailler sur le NanoReseau des ordinateur Thomson, ou ceux qui désirent en apprendre un peu plus sur des aspects technique du NanoRéseau.

1.3. AUDIENCE FOR THIS DOCUMENT

Les personnes travaillant sur les vieux ordinateur Thomson

2. DOCUMENTS RELATIFS

- [A1] Doc COFADEL : Micro ordinateur MO5 NR code 971TX0093 - imp HD - 01/87
- [A2] Thèse Nanoreseau de Philippe Loosfelt
- [A3] Manuel de référence NanoReseau
- [A4] Manuel technique du NanoReseau

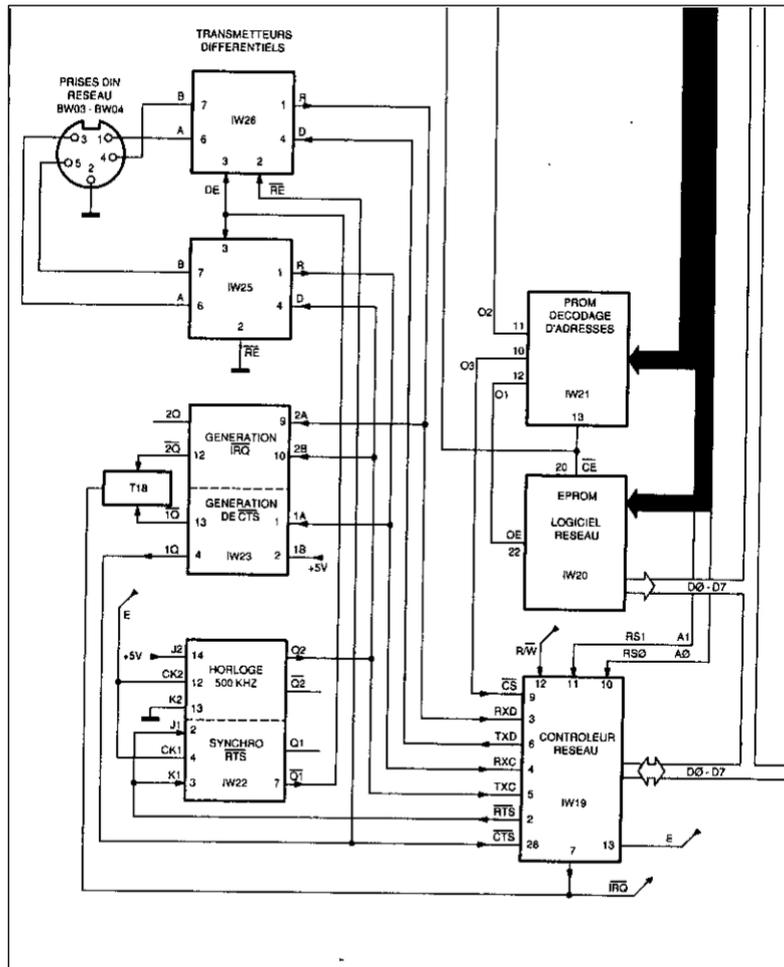
3. PRESENTATION GÉNÉRAL

Ce document est basé sur les documents cités en référence. Bien que la thèse sur le NanoReseau explique beaucoup de chose, il subsiste encore des lacunes sur l'explication de l'électronique. Il en est de meme concernant la documentation technique COFADEL. L'avantage de cette dernière est de contenir le schéma électronique de la carte mere, ce qui aide énormément à comprendre.

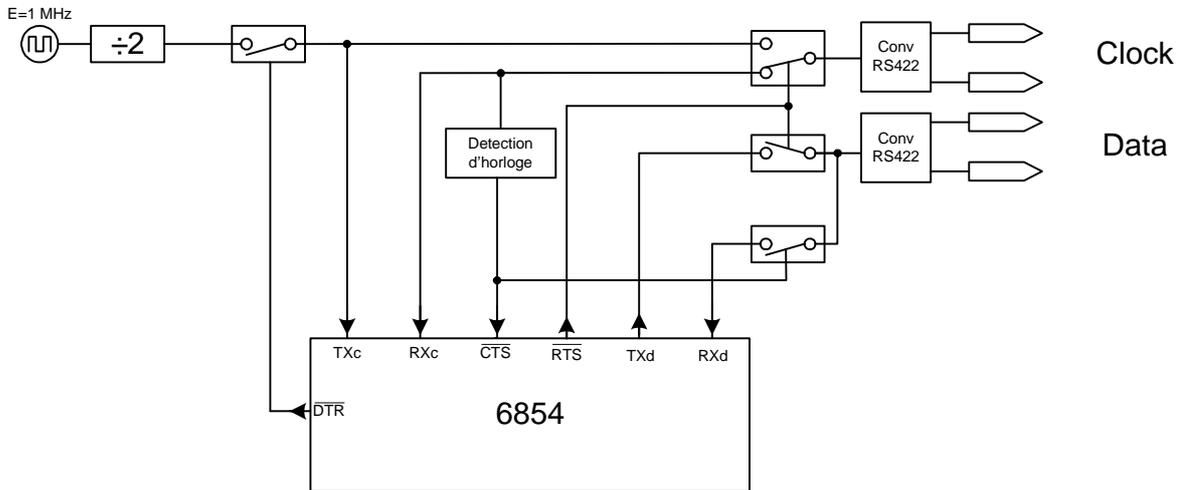
4. EXPLICATION DE L'ELECTRONIQUE

4.1. SYNOPTIQUE DE LA PARTIE NANORESEAU

Dans la documentation du MO5 NR [A1] faite par COFADEL, une présentation du NanoReseau est faite, mais assez succincte:



Une vue un peu plus claire du schéma peut être présentée ainsi:



Ce schéma montre clairement :

- Le signal DTR du 6854 permet d'activer ou désactiver l'horloge d'émission
- Le signal CTS du 6854 donne l'état de l'horloge de reception et permet la reception des données.
- Le signal RTS du 6854 permet de placer le poste en maitre ou en esclave

De ce schéma est retiré volontairement la partie génération d'interruption afin de ne pas trop alourdir le schéma. Se reporter au paragraphe "Génération d'interruption" pour avoir le schéma complet.

4.2. EXPLICATION DE L'ELECTRONIQUE SELON COFADEL

Voici l'explication de l'électronique de la partie NanoReseau selon COFADEL:

A - GÉNÉRALITÉS

Le **NANORESEAU**® permet de grouper jusqu'à 31 MO5 NR autour d'un ordinateur plus puissant appelé tête de réseau. La liaison entre ces différents éléments est réalisé par un bus constitué de deux paires de fils torsadés et blindés pour transmettre les données et une horloge 500 kHz.

Chaque poste est numéroté (de 1 à 31 en binaire par 5 contacteurs : **SW03**) afin de pouvoir être adressé individuellement. La tête de réseau porte le numéro 0.

Le **NANORESEAU**® permet l'échange d'information, fichier, programmes etc entre les différents postes et la tête de réseau. Les postes peuvent aussi accéder aux périphériques (imprimante, lecteur de disquette, vidéo disque etc) gérés par la tête de réseau.

Le signal horloge est généré et transmis par le poste (ou la tête) qui émet: il n'y a pas un générateur unique pour l'ensemble du réseau.

B - ANALYSE DU SCHÉMA

La **PROW IW21** réalise le décodage d'adresse. En entrée elle reçoit les adresses **A3** à **A10**. Les signaux **A11** et **AXXX** présents au niveau bas sur les entrées **CE1** et **CE2** valident **IW21**. Les sorties **01**, **02**, **03** sélectionnent respectivement les boîtiers **IW20**, **IW24**, **IW19**.

Le décodage correspondant est donc :

A000 à **A7BF** : **IW20** EPROM Réseau

A7D0 à **A7D7** : **IW19** Contrôleur HDLC

A7D8 à **A7DF** : **IW24** Etape tampon (Buffer)

Il est à noter que le gate array mode page ne délivre pas le signal **AXXX** pour les adresses **A7DA** à **A7DF** qui sont réservées pour d'autres fonction. En conséquence **IW24** ne pourra être adressé que par **A7D8-A7D9**.

IW20 est une mémoire EPROM de 8k qui contient le logiciel de gestion du réseau. Celui-ci n'occupe en réalité qu'un peu moins de 2k et peut être adressé de **A000** à **A7BF**

Les commutateurs 2 à 6 de **SW03** permettent la numérotation du poste en binaire. Ils sont reliés au bus de données (**D0** à **D4**) à travers l'étage tampon **IW24**. **IW24** est validé pour les adresses **A7D8-A7D9**.

Le commutateur 1 de **SW03** doit être positionné sur **ON** pour le fonctionnement en **NANORESEAU**® (validation de **IW21**). Lorsqu'il est sur **OFF** il autorise le fonctionnement avec un lecteur de disquette autonome.

Les circuits **IW25** et **IW26** sont des transmetteurs différentiels bi-directionnels. **IW25** est utilisé pour la transmission du signal d'horloge, **IW26** pour les données. Ils sont positionnés en sortie par **RTS** (synchronisé sur E par **IW22**). **CTS** positionne **IW26** en entrée lorsque une horloge de réception est présente.

TABLES DE FONCTIONNEMENT
OPERATING TABLES

en émission
at transmission

Entrée Input D	Valid. DE	Sorties Outputs	
		A	B
1	1	1	φ
φ	1	φ	1
X	φ	Z	Z

en réception
at reception

Entrée Input Dif. A - B	Valid. RE	Sortie Output R
$V > 0,2 V$	φ	1
$-0,2 < V < 0,2$	φ	?
$V < -0,2 V$	φ	φ
X	1	2

X : Indifferent
? : Indéterminé - Undetermined
Z : Haute impédance - High impedance

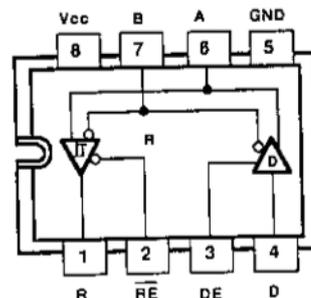


Fig. 13

IW22 est une double bascule JK. Une des bascules génère l'horloge d'émission, **TXC = 500 kHz**, à partir du signal **E = 1 MHz**. La 2^e bascule est utilisée pour synchroniser le signal **RTS** (Request To send), issu du contrôleur **IW19**, sur l'horloge **E**. Ce signal positionne en sortie les transmetteurs **IW25** et **IW26**.

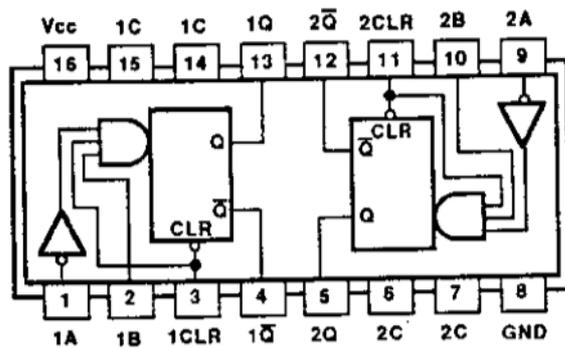


Fig. 14

IW23 est un double monostable « retriggerable » dont une partie génère le signal **CTS** (Clear to Send) lorsque l'horloge de réception est présente. La transition positive de **CTS** est mémorisée dans le contrôleur **IW19** et procure une inhibition du bit 6 du registre d'état **SR1** et de **IRQ** qui lui est associé. **CTS** valide le transmetteur **IW26** en réception. **IW23** a aussi pour rôle de créer une interruption **IRQ**, par l'intermédiaire de **T18**, lorsque l'horloge de transmission **TXC** n'est plus présente et qu'il n'y a plus de données reçues **RXD**.

Table de fonctionnement
Operating table

Entrées - Inputs			Sorties - Outputs	
clear	A	B	Q	Q̄
∅	×	×	∅	1
×	1	×	∅	1
×	×	∅	∅	1
1	∅	↑		
1	↓	1		
↑	∅	1		

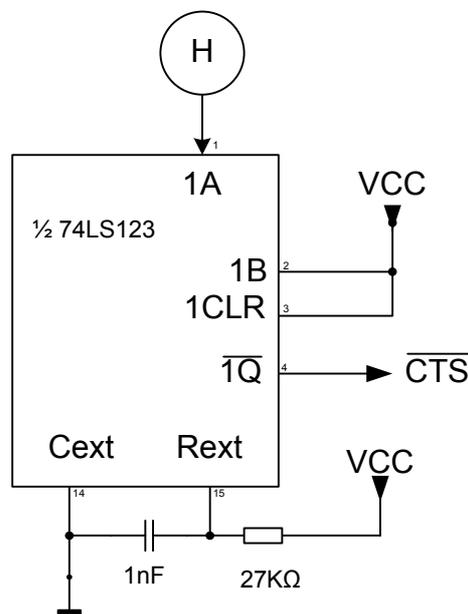
4.3. EXPLICATION DE CERTAINS POINTS DE L'ELECTRONIQUE

4.3.1 DETECTION DE L'HORLOGE

Une partie de l'électronique, appelée "Détection d'horloge", permet d'écouter l'horloge sur le bus clock du nanoreseau. Elle informe le poste de la présence ou non d'une activité sur le bus. C'est cette détection de présence d'horloge qui donne la possibilité au poste de prendre le contrôle du NanoReseau ou pas. Si le poste ne détecte pas d'activité au bout d'un certain laps de temps, il est en droit de prendre le contrôle des bus afin d'émettre des données.

C'est cette détection de l'horloge qui permet de valider l'entrée des données, et qui est envoyé sur le signal CTS est piloté par un monostable.

Le schéma est le suivant :



Pour calculer le temps de bascule de sortie, il faut se référer à la documentations du circuit 74123:

The basic output pulse duration is essentially determined by the values of external capacitance and timing resistance. For pulse durations when $C_{ext} \leq 1000 \text{ pF}$, use Figure 6, or use Figure 7 where the pulse duration may be defined as:

$$t_w = K \cdot R_T \cdot C_{ext}$$

When $C_{ext} \geq 1 \text{ } \mu\text{F}$, the output pulse width is defined as:

$$t_w = 0.33 \cdot R_T \cdot C_{ext}$$

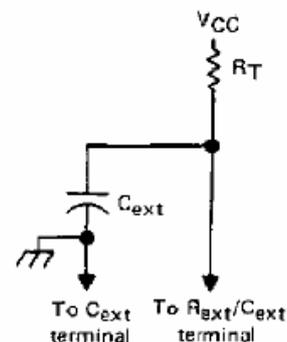
For the above two equations, as applicable;

K is multiplier factor, see Figure 7

R_T is in $k\Omega$ (internal or external timing resistance)

C_{ext} is in pF

t_w is in ns



TIMING COMPONENT CONNECTIONS
FIGURE 5

Ce schéma est exactement celui utilisé sur la carte Nanoréseau. La formule utilisé est donc:

$$t_w = K.Rt.C_{ext}$$

Pour déterminer K, il faut prendre la valeur du condensateur. Ce dernier est de 1nF soit 1000pF. D'après la courbe ci contre, cela donne une valeur de K approximative de 0,36.

La formule t_w devient donc:

$$t_w = 0,36 * 27 * 1000 = 9720ns$$

Sachant que l'horloge est de 500kHz, ce qui fait une période de 2µs par cycle, cela veut dire qu'il y a un délai de a peu pres 5 coup d'horloge avant que la detection d'horloge emette un signal disant que l'horloge est absente

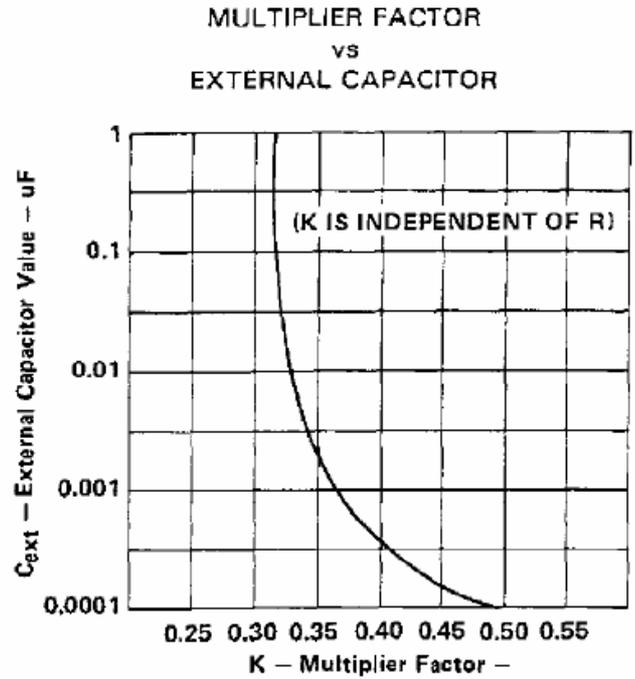
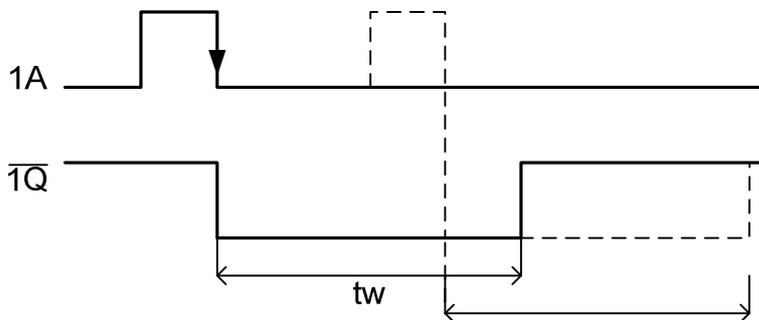


FIGURE 7

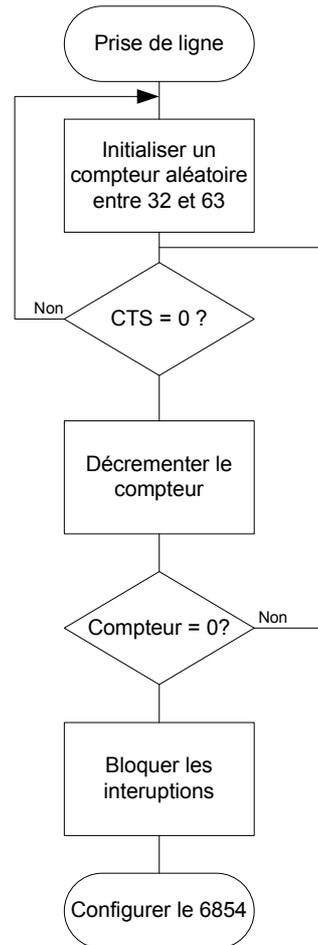


Des qu'un front descendant sera présent sur l'entrée 1A du monostable, la sortie /1Q sera à l'état bas. Cela veut donc dire qu'à partir du moment où une activité est détectée sur l'horloge de reception, tous ce qui se trouvera sur le bus DATA du NanoReseau sera envoyé au 6854.

Le passage du signale CTS à 0, donne donc la possibilité au poste de recevoir les données présente sur le bus DATA.

Si le poste veut emette, il est donc en charge de regarder la présence de l'horloge. Une fois qu'il a été déterminé par l'électronique que l'horloge est absente (CTS=1), le poste peut donc emettre. Mais comme il est expliqué dans la thèse NanoReseau, le poste n'emet pas immédiatement. Il utilise un compteur aléatoire qu'il décremente avant d'emettre ses données.

Cet algorithme, présent dans la ROM du NanoReseau, est le suivant:



Cet organigramme est codé ainsi dans le poste:

```

;*------
;*      Prise de la ligne
.A41B:   ldd    #0x2010          ; A=Nombre de tentative min; B=Masque : CTS
        ora    ITCMPT          ; Masque A avec le compteur d'IT
        anda  #0x3f          ; Limite le temps max à 63
.A423:   bitb   MC_6854        ; Test le bit CTS du 6854 (Presence Horloge)
        beq    .A41B          ; S'il est nulle il faut attendre
        deca          ; CTS=1; On decremente le compteur d'attente
        bne    .A423          ; Compteur!=0; on attend la fin de la tempo
        orcc  #0x50          ; Blocage des IT FIRQ et IRQ
        jmp   .A749          ; Débloque la Liaison Série
    
```

Dès que le poste a pris la décision de prendre la ligne, il effectue les opérations suivantes:

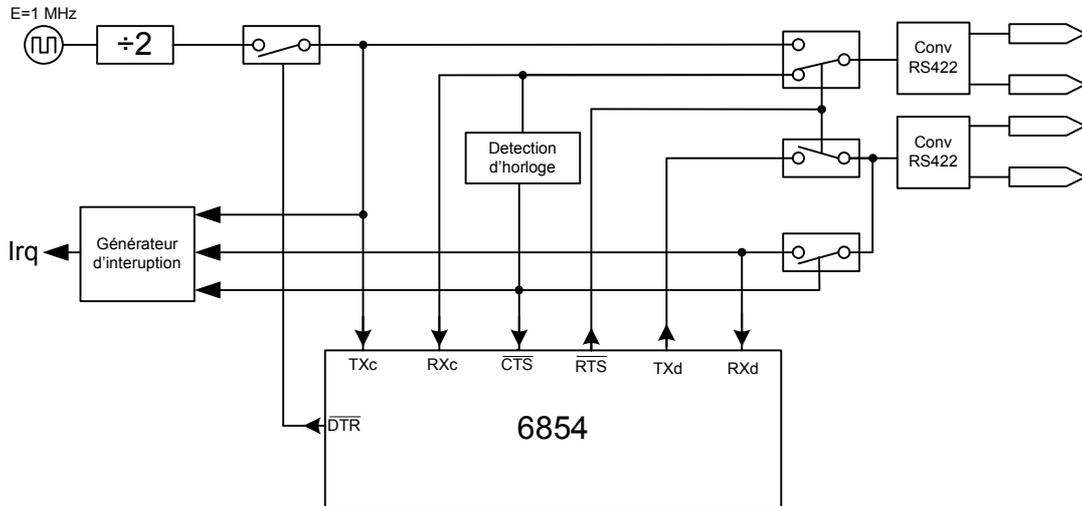
- Le signal DTR est mis à 1 pour debloquer l'émission de l'horloge de transfert
- Le signal RTS est mis à 0, ce qui permet d'émettre immédiatement l'horloge sur la ligne

Le signal DTR est contrôlé par le bit 7 du registre de control No 3 du 6854. En mode "Non Loop Mode" (bit 5 du registre de control No3 mis à 0) si le bit No 7 est mis à 1, le signal DTR est mis à 0 (0 volt). Si le bit No 7 est mis à 0, alors le signal DTR sera mis au niveau 1 (Vcc)

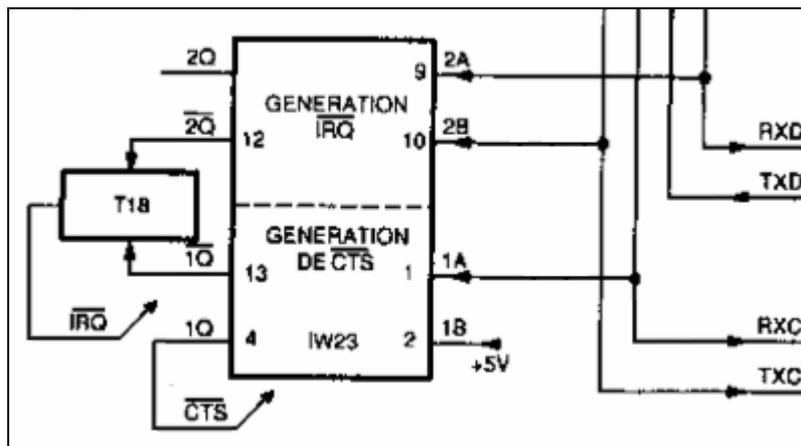
Le signal RTS est contrôlé par le bit No 7 du registre de control No 2 du 6854. Si le bit No 7 est mis à 1, le signal RTS est mis à 0 (0 volt). Si le bit No 7 est mis à 0, alors le signal CTS sera mis au niveau 1 (Vcc)

4.3.2 GÉNÉRATION DE L'INTERUPTION

Schéma global du NanoReseau:

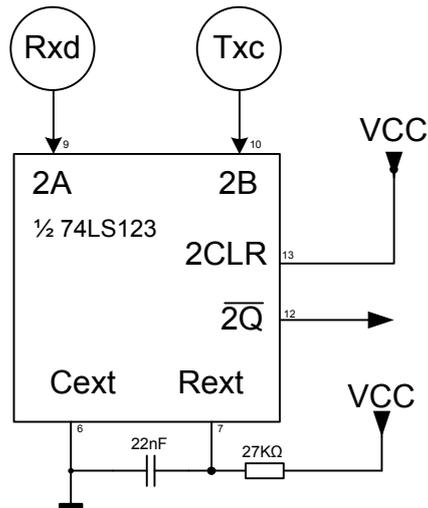


Synoptique selon COFADEL de la partie génération d'interruption:



Remarque : On peut noter une erreur sur le schéma de COFADEL. Ce n'est pas la sortie 1Q qui est envoyé à /CTS, mais c'est le signal /1Q.

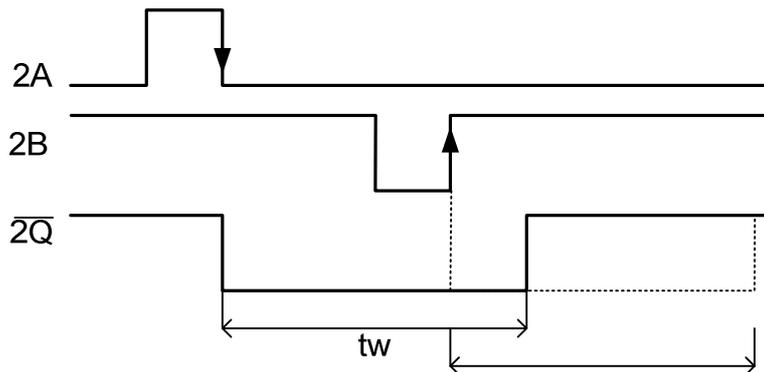
La 1ere partie du générateur d'interruption est piloté par un monostable. Le schéma est le suivant:



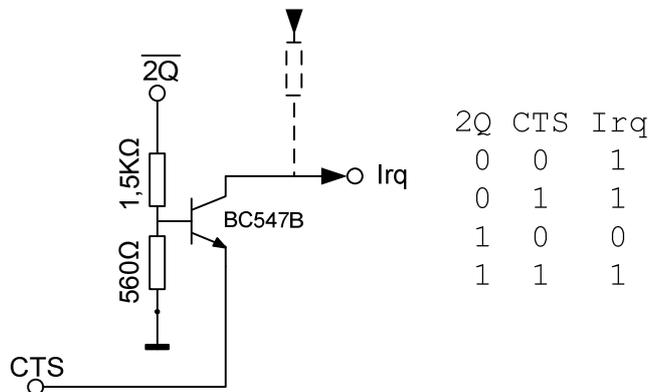
Le schéma, qui ressemble énormément au schéma du détecteur d'horloge, utilise la même formule pour déterminer le temps du monostable

$$t_w = K.Rt.C_{ext}$$

Le condensateur étant de 22nF, d'après la courbe, k est équivalent à 0,33. La formule complète est donc:
 $T_w = 0,33 * 27 * 22000 = 196020ns = 98 \text{ clock cycles}$.



La 2eme partie du générateur est piloté par un transistor BC547B:



Le transistor travaille en régime Saturé/Bloqué. Pour avoir une interruption, il faut que l'émetteur du transistor soit à 0, et que le pont diviseur de tension soit alimenté.

Ce qui veut dire que si après 98 coups d'horloge NanoReseau, si le poste n'a reçu aucune donnée, et qu'il n'a jamais tenté d'émettre quelque chose, alors une interruption est générée. Ceci correspond en fait à un chien de garde.

5. EXPLICATION DU CONTROLEUR HDLC

L'explication du controleur ADLC 6854 selon COFADEL est la suivante:

C – LE CONTRÔLEUR EF 6854 (IW19)

Le contrôleur **EF 6854** réalise la fonction complexe d'interface entre le microprocesseur et le réseau de communication.

A l'émission, les données **D0** à **D7** sont sérialisés vers le réseau. A la réception les données sont traitée de façon inverse.

1 – Constitution d'une trame.

Chaque trame débute et se termine par un delimitateur de trame, chaque trame étant considérée comme un tout.

<p>ø111111ø DÉLIMITEUR DELIMITER</p>	<p>ZONE D'ADRESSE ADRESS ZONE</p>	<p>ZONE DE COMMANDE CONTROL ZONE</p>	<p>ZONE DE DONNÉES (FACULTATIVE) DATA ZONE (options)</p>	<p>SÉQUENCE DE CONTR. TRAME FRAME CONTR. SEQUENCE</p>	<p>ø111111ø DÉLIMITEUR DELIMITER</p>
--	---	--	--	---	--

a) Délimiteurs de trame :

Ce sont deux octets qui marquent le début et la fin d'une trame. Ils servent de référence pour le positionnement des différentes zones de la trame. Deux trames successives peuvent être séparées par un seul délimiteur si le bit **b0** de **CR4** est au niveau bas.

b) Zone d'adresse

Elle permet d'identifier le destinataire de la trame transmise. La zone d'adresse peut être constituée d'un seul octet ou, dans le cas de l'adressage étendu, d'un nombre entier d'octets.

En adressage étendu, le premier bit de chaque octet est mis à 0 pour indiquer que l'octet suivant est encore un octet d'adresse ou à 1 si l'octet transmis est le dernier de la zone d'adresse.

c) Zone de commande

Cette zone est utilisée pour transmettre des ordres au destinataire ou en recevoir la réponse. La longueur de cette zone peut être portée à deux octets par la mise à 1 du bit **b1** de **CR3**.

d) Zone de données

La présence de cette zone est facultative dans la constitution d'une trame. Elle contient les informations à transmettre et peut être constituée d'un nombre indéfini de bits.

e) Séquence de contrôle de trame. (FCS)

Les 16 bits précédant le délimiteur de fin de trame constituent la séquence de contrôle. Elle est calculée à partir des k bits de la trame transmise (zone d'adresse, zone de commande et zone de données). Elle permet à la réception de détecter les éventuelles erreurs de transmission.

Remarque : à l'émission le contenu de la trame est examiné et un 0 est inséré automatiquement entre chaque séquence de 5 bits positionnés à 1. Ceci afin que le récepteur puisse faire la différence entre le contenu de la trame et des signaux tels que ceux signalant une procédure d'abandon (8 bits consécutifs à 1) ou un état de repos (au moins 15 bits consécutifs à 1).

2 – Les registres du contrôleur EF 6854

Le contrôleur **EF 6854** comporte 8 registres accessibles par le bus de données. Cinq de ces registres sont à écriture seule, les trois autres à lecture seule. Le tableau ci-dessous indique leur mode de sélection.

R/W	A 1 RS 1	A 0 (RS 0)	BIT 0 de CR 1	REGISTRE SÉLECTIONNÉ REGISTER SELECTED	
0	0	0	X	REGISTRE DE CONTRÔLE CR 1 CONTROL REGISTER CR 1	ÉCRITURE - WRITE
0	0	1	0	REGISTRE DE CONTRÔLE CR 2 CONTROL REGISTER CR 2	
0	0	1	1	REGISTRE DE CONTRÔLE CR 3 CONTROL REGISTER CR 3	
0	1	1	1	REGISTRE DE CONTRÔLE CR 4 CONTROL REGISTER CR 4	
0	1	0	X	REGISTRE FIFO ÉMISSION (trame continue) FIFO REGISTER TRANSMISSION (continuous frame)	
0	1	1	0	REGISTRE FIFO ÉMISSION (trame terminée) FIFO REGISTER TRANSMISSION (frame ended)	
1	0	0	X	REGISTRE D'ÉTAT SR 1 STATUS REGISTER SR 1	LECTURE - READ
1	0	1	X	REGISTRE D'ÉTAT SR 2 STATUS REGISTER SR 2	
1	1	X	X	REGISTRE FIFO RÉCEPTION FIFO REGISTER RECEPTION	

3 – Les Entrées/Sorties du contrôleur EF 6854

D0-D7 : Liaison au bus de données.

TXC : Entrée du signal d'horloge 500 kHz utilisé pour la transmission (signal crée par **IW22** à partir de **E**).

TXD : Sortie des données séries à envoyer vers le réseau.

RXD : Entrée des données en provenance du réseau.

RXC : Entrée de l'horloge de réception en provenance du réseau.

E : Entrée du signal d'horloge 1 MHz.

CS : Entrée de sélection du boîtier crée par le décodage d'adresse dans **IW21**.

A0-A1 : Entrées des lignes d'adresses utilisées pour la sélection des registres internes.

R/W : Entrée de la commande lecture/écriture.

IRQ : Sortie du signal de demande d'interruption à destination du microprocesseur.

RESET : Entrée de réinitialisation.

RST (Request To Send) : Sortie d'un signal qui après synchronisation avec **E** est utilisé pour positionner en sortie les transmetteurs **IW25** et **IW26** : demande d'émission.

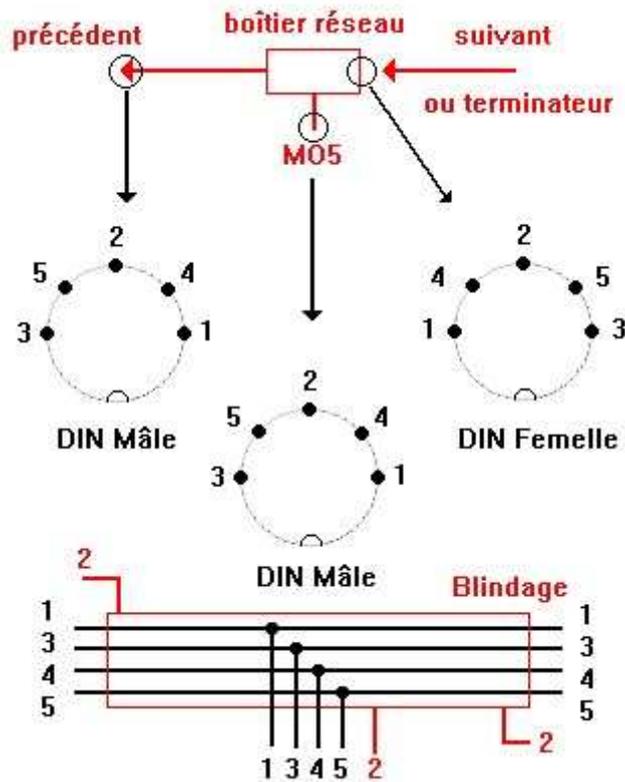
CTS (Clear To Send) : Entrée du signal crée dans **IW23** quand une horloge de réception est présente : inhibition de l'émetteur.

LOC/DTR (Loop On line Control/Data Terminal Ready) : Sortie du signal autorisant la génération de l'horloge d'émission par **IW22**.

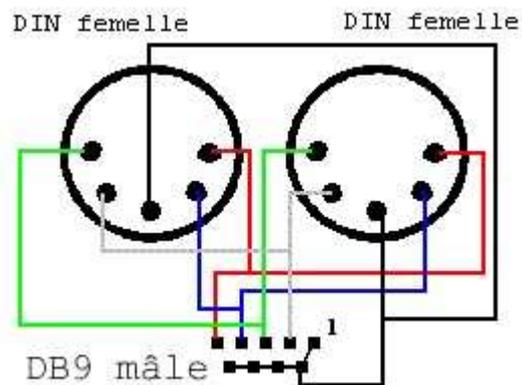
6. CONNECTIQUE

Le NanoReseau était composé de gros boîtier gris. Ces boîtier contient :

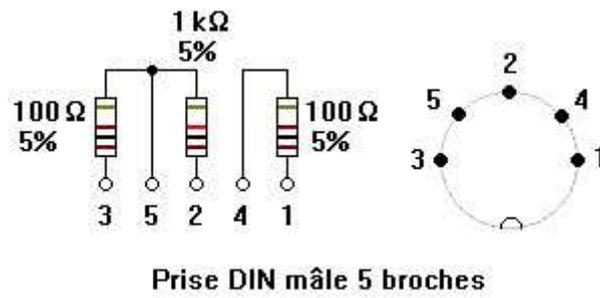
- Une multiprise pour le secteur
- Un 'Y' pour connecter les signaux purement NanoReseau



Le serveur Nanoreseau est équipé d'une prise de type DB9 femelle. Sur ce connecteur doit être connecté un 'Y' dont le schéma est le suivant:



Pour les postes situés en fin de ligne, ils doivent être équipés d'un bouchon utilisé pour l'adaptation des signaux. Ce bouchon, composé de résistances, est câblé ainsi :



7. ABBREVIATIONS AND DEFINITIONS

7.1. ABBREVIATIONS

HDLC	High Level Data Link Control
LAPD	Link Access Protocol for the D-channel

7.2. DEFINITIONS

RS422 : Liaison différentiel utilisé en Point à Point

RS485 : Est electriquement equivalent a son cousin RS422, mais est utilisé en multi_point. La norme RS485 permet d'avoir 32 emetteurs et 32 recepteurs.

❧ END OF DOCUMENT ❧